

特許協力条約

PCT

国際予備審査報告

REC'D 22 APR 2004

WIPO PCT

(法第12条、法施行規則第56条)
[PCT36条及びPCT規則70]

出願人又は代理人 の書類記号 380300049W01	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/IPEA/416）を参照すること。	
国際出願番号 PCT/JP03/08434	国際出願日 (日.月.年) 03.07.2003	優先日 (日.月.年)
国際特許分類 (IPC)	Int.C17 G06K19/07, 19/077, G06F3/06, 3/08	
出願人（氏名又は名称） 株式会社ルネサステクノロジ		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条（PCT36条）の規定に従い送付する。

2. この国際予備審査報告は、この表紙を含めて全部で 6 ページからなる。

この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び／又はこの国際予備審査機関に対して訂正を含む明細書、請求の範囲及び／又は図面も添付されている。
 （PCT規則70.16及びPCT実施細則第607号参照）
 この附属書類は、全部で 7 ページである。

3. この国際予備審査報告は、次の内容を含む。

- I 国際予備審査報告の基礎
- II 優先権
- III 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- IV 発明の単一性の欠如
- V PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- VI ある種の引用文献
- VII 国際出願の不備
- VIII 国際出願に対する意見

国際予備審査の請求書を受理した日 03.07.2003	国際予備審査報告を作成した日 06.04.2004
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 前田 浩 電話番号 03-3581-1101 内線 3545

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。PCT規則70.16, 70.17)

出願時の国際出願書類

明細書 第 1 - 53 ページ
明細書 第 _____ ページ
明細書 第 _____ ページ

出願時に提出されたもの
国際予備審査の請求書と共に提出されたもの
付の書簡と共に提出されたもの

請求の範囲 第 2-35, 38, 40-44, 46, 49-75 項、
請求の範囲 第 _____ 項、
請求の範囲 第 _____ 項、
請求の範囲 第 1, 36, 37, 39 項、

出願時に提出されたもの
PCT19条の規定に基づき補正されたもの
国際予備審査の請求書と共に提出されたもの
26.12.2003 付の書簡と共に提出されたもの

図面 第 1/44 - 44/44 ページ/図、
図面 第 _____ ページ/図、
図面 第 _____ ページ/図、

出願時に提出されたもの
国際予備審査の請求書と共に提出されたもの
付の書簡と共に提出されたもの

明細書の配列表の部分 第 _____ ページ、
明細書の配列表の部分 第 _____ ページ、
明細書の配列表の部分 第 _____ ページ、

出願時に提出されたもの
国際予備審査の請求書と共に提出されたもの
付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
 PCT規則48.3(b)にいう国際公開の言語
 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- この国際出願に含まれる書面による配列表
 この国際出願と共に提出された磁気ディスクによる配列表
 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
 出願後に、この国際予備審査(または調査)機関に提出された磁気ディスクによる配列表
 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
 書面による配列表に記載した配列と磁気ディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

明細書 第 _____ ページ
 請求の範囲 第 45, 47, 48 項
 図面 図面の第 _____ ページ/図

5. この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

IV. 発明の單一性の欠如

1. 請求の範囲の減縮又は追加手数料の納付の求めに対して、出願人は、

- 請求の範囲を減縮した。
- 追加手数料を納付した。
- 追加手数料の納付と共に異議を申立てた。
- 請求の範囲の減縮も、追加手数料の納付もしなかった。

2. 国際予備審査機関は、次の理由により発明の單一性の要件を満たしていないと判断したが、PCT規則68.1の規定に従い、請求の範囲の減縮及び追加手数料の納付を出願人に求めないこととした。

3. 国際予備審査機関は、PCT規則13.1、13.2及び13.3に規定する発明の單一性を次のように判断する。

- 満足する。
- 以下の理由により満足しない。

請求の範囲1-44, 46は、インターフェースコントローラとセキュリティーコントローラとを有するマルチファンクションカードデバイスに関するものである。

請求の範囲49-62は、アンテナを有する半導体カードデバイスに関するものである。

請求の範囲63-71は、半導体カードデバイスの外部端子に関するものである。

請求の範囲72-75は、半導体集積回路に関するものである。

4. したがって、この国際予備審査報告書を作成するに際して、国際出願の次の部分を、国際予備審査の対象にした。

- すべての部分
- 請求の範囲 _____

に関する部分

V. 新規性、進歩性又は産業上の利用可能性についての法第12条（PCT35条(2)）に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求の範囲 5-9, 11, 14-35, 40-44, 46, 49-75	有
	請求の範囲 1-4, 10, 12, 13, 36-39	無

進歩性 (I S)	請求の範囲 6-9, 11, 41-44, 46, 49-75	有
	請求の範囲 1-5, 10, 12-40	無

産業上の利用可能性 (I A)	請求の範囲 1-44, 46, 49-75	有
	請求の範囲	無

2. 文献及び説明 (PCT規則70.7)

文献1 : WO 2001/084490 A1 (株式会社日立製作所, 株式会社日立超エル・エス・アイ・システムズ), 2001.11.08

文献2 : JP 2002-351623 A (富士通株式会社), 2002.12.06

請求の範囲1-4

文献1には、請求の範囲1-4に記載されたマルチファンクションカードデバイスの構成が記載されている。

請求の範囲5

文献2の第【0027】-【0030】段落及び図3には、内部アンテナを有するICカードの構成が記載されており、これを文献1に記載されたマルチファンクションカードデバイスに採用することは当業者が容易なし得たことである。

請求の範囲6-9

内部アンテナと外部アンテナをセキュリティコントローラに選択的に接続することは、国際調査報告に引用されたいずれの文献にも記載されておらず、当業者にとって自明なものでもない。

請求の範囲10

文献1には、請求の範囲10に記載されたマルチファンクションカードデバイスの構成が記載されている。

請求の範囲11

セキュリティコントローラの電源供給を遮断することは、国際調査報告に引用されたいずれの文献にも記載されておらず、当業者にとって自明なものでもない。

請求の範囲12, 13

文献1には、請求の範囲12, 13に記載されたマルチファンクションカードデバイスの構成が記載されている。

請求の範囲14

分割グランドパターンは周知の技術であり、これを文献1及び2に記載されたマルチファンクションカードデバイスに採用することは当業者が容易なし得たことである。

補充欄（いずれかの欄の大きさが足りない場合に使用すること）

第 V.2 欄の続き

請求の範囲 1 5

半導体チップをフェライトプレート上にスタックすることは周知の技術であり、これを文献1及び2に記載されたマルチファンクションカードデバイスに採用することは当業者が容易なし得たことである。

請求の範囲 1 6

フェライトプレートをフェライトチップ、塗布されたフェライトペースト、貼りつけられたフェライトフィルムとすることは周知の技術であり、これを文献1及び2に記載されたマルチファンクションカードデバイスに採用することは当業者が容易なし得たことである。

請求の範囲 1 7

アンテナの中央部にフェライトプレートを配置することは周知の技術であり、これを文献1及び2に記載されたマルチファンクションカードデバイスに採用することは当業者が容易なし得たことである。

請求の範囲 1 8

半導体チップをアンテナの側方に配置し金属キャップで覆うことは周知の技術であり、これを文献1及び2に記載されたマルチファンクションカードデバイスに採用することは当業者が容易なし得たことである。

請求の範囲 1 9

アンテナをコイルパターンまたは巻線コイルで形成することは周知の技術であり、これを文献1及び2に記載されたマルチファンクションカードデバイスに採用することは当業者が容易なし得たことである。

請求の範囲 2 0

アンテナを誘電体アンテナチップにすること、及びフェライトプレートにスタックすることは周知の技術であり、これを文献1及び2に記載されたマルチファンクションカードデバイスに採用することは当業者が容易なし得たことである。

請求の範囲 2 1

半導体チップをフェライトプレート上に誘電体アンテナチップのスタック面とは反対側にスタックすることは当業者が適宜選択し得た程度の設計事項である。

請求の範囲 2 2

外部接続端子をキャップで覆うこと、及びキャップをフェライト混合キャップ又は金属キャップとすることは周知の技術であり、これを文献1及び2に記載されたマルチファンクションカードデバイスに採用することは当業者が容易なし得たことである。

請求の範囲 2 3

外部接続端子をケーシングで覆うこと、半導体チップをフェライトプレート上にスタックすること、及びアンテナの受信面とは反対側に電磁シールドを設けることは周知の技術であり、これを文献1及び2に記載されたマルチファンクションカードデバイスに採用することは当業者が容易なし得たことである。

請求の範囲 2 4

電磁シールドを請求の範囲2 4の構成とすることは周知の技術であり、これを文献1及び2に記載されたマルチファンクションカードデバイスに採用することは当業者が容易なし得たことである。

補充欄（いすれかの欄の大きさが足りない場合に使用すること）

第 V.2 欄の続き

請求の範囲 2 5

ケーシングを請求の範囲 2 5 の構成とすることは周知の技術であり、これを文献 1 及び 2 に記載されたマルチファンクションカードデバイスに採用することは当業者が容易なし得たことである。

請求の範囲 2 6

アンテナに同調用コンデンサを付けることは周知の技術であり、これを文献 1 及び 2 に記載されたマルチファンクションカードデバイスに採用することは当業者が容易なし得たことである。

請求の範囲 2 7

同調用コンデンサを請求の範囲 2 4 の構成とすることは周知の技術であり、これを文献 1 及び 2 に記載されたマルチファンクションカードデバイスに採用することは当業者が容易なし得たことである。

請求の範囲 2 8 - 3 5

マルチファンクションカードデバイスの端子部を請求の範囲 2 8 - 3 5 の構成とすることは周知の技術であり、これを文献 1 及び 2 に記載されたマルチファンクションカードデバイスに採用することは当業者が容易なし得たことである。

請求の範囲 3 6 - 3 9

文献 1 には、請求の範囲 3 6 - 3 9 に記載されたマルチファンクションカードデバイスの構成が記載されている。

請求の範囲 4 0

文献 3 の第【0027】 - 【0030】段落及び図 3 には、内部アンテナを有する I C カードの構成が記載されており、これを文献 1 に記載されたマルチファンクションカードデバイスに採用することは当業者が容易なし得たことである。

請求の範囲 4 1 - 4 4

内部アンテナと外部アンテナをセキュリティーコントローラに選択的に接続することは、国際調査報告に引用されたいずれの文献にも記載されておらず、当業者にとって自明なものでもない。

請求の範囲 4 6

セキュリティーコントローラの電源供給を遮断することは、国際調査報告に引用されたいずれの文献にも記載されておらず、当業者にとって自明なものでもない。

請求の範囲 4 9 - 7 1

請求の範囲 4 9 - 7 1 の半導体カードデバイスの構成は、国際調査報告に引用されたいずれの文献にも記載されておらず、当業者にとって自明なものでもない。

請求の範囲 7 2 - 7 5

請求の範囲 7 2 - 7 5 の半導体集積回路の構成は、国際調査報告に引用されたいずれの文献にも記載されておらず、当業者にとって自明なものでもない。

請求の範囲

1. (補正後) 外部接続端子が形成された配線基板に複数個の半導体チップが実装され、一の半導体チップは前記外部接続端子に接続されたインターフェースコントローラを構成し、他の半導体チップは前記インターフェースコントローラに接続されたメモリを構成し、

前記インターフェースコントローラは外部インターフェース動作とメモリに対するメモリインターフェース動作とを制御するインターフェース制御態様として複数のインターフェース制御態様を有し、外部からの指示に従った制御態様で外部インターフェース動作とメモリインターフェース動作を制御し、

外部接続端子はインターフェース制御態様毎に個別化された個別端子と、複数のインターフェース制御態様毎に共通化された共通端子を有し、

前記共通端子にはクロック入力端子、電源端子及び接地端子を含み、

前記個別端子にはデータ端子を含む、ことを特徴とするマルチファンクションカードデバイス。

2. 前記インターフェースコントローラと同一又は別の半導体チップで構成されたセキュリティコントローラを更に有し、

前記セキュリティコントローラは前記インターフェースコントローラ及び外部接続端子に接続され、

前記個別端子には前記セキュリティコントローラの専用端子を更に含む、ことを特徴とする請求の範囲第1項記載のマルチファンクションカードデバイス。

3. 前記セキュリティコントローラの専用端子としてクロック端子、データ入出力端子、リセット端子、電源端子及び接地端子を有することを特徴とする請求の範囲第2項記載の記載のマルチファンクションカ

ードデバイス。

4. 前記セキュリティーコントローラは前記外部端子の信号状態又はイ

とする請求の範囲第30項記載のマルチファンクションカードデバイス。

33. 複数の半導体チップは表面積が小さいほど薄く形成され、薄い半導体チップほど上層に配置されていることを特徴とする請求の範囲第5項又は第2項記載のマルチファンクションカードデバイス。

34. 外部接続端子を露出させて全体がパッケージに封止され、前記パッケージの外に露出される外部接続端子は、カードソケットの端子に接続される第1外部端子と、前記複数の第1外部端子に夫々接続され且つ前記第1外部端子よりもピッチと表面積の大きな複数のテスト端子と10であることを特徴とする請求の範囲第1項又は第2項記載のマルチファンクションカードデバイス。

35. 前記複数の第1外部端子は離間して複数列に配置され、複数列の間に前記複数の第2外部端子が配置されることを特徴とする請求の範囲第34項記載のマルチファンクションカードデバイス。

36. (補正後) 配線基板に、外部接続端子と、前記外部接続端子に接続されたコントローラと、前記コントローラに接続されたメモリを有し、前記コントローラは外部インターフェース動作とメモリに対するメモリインターフェース動作とを制御するインターフェース制御態様として複数のインターフェース制御態様を有し、外部からの指示に従った制御態様20で外部インターフェース動作とメモリインターフェース動作を制御し、

外部接続端子はインターフェース制御態様毎に個別化された個別端子と、複数のインターフェース制御態様毎に共通化された共通端子を有し、前記共通端子にはクロック入力端子、電源端子及び接地端子を含み、前記個別端子にはデータ端子を含む、ことを特徴とするマルチファンクションカードデバイス。

37. (補正後) 配線基板に、外部接続端子と、前記外部接続端子に接

続されたインターフェースコントローラと、前記インターフェースコントローラに接続されたメモリと、前記インターフェースコントローラ及び外部接続端子に接続されたセキュリティーコントローラとを有し、

前記インターフェースコントローラは外部インターフェース動作とメモリに対するメモリインターフェース動作とを制御するインターフェース制御態様として複数のインターフェース制御態様を有し、外部からの指示に従った制御態様で外部インターフェース動作とメモリインターフェース動作を制御し、

外部接続端子はインターフェース制御態様毎に個別化された個別端子と、インターフェース制御態様毎に共通化された共通端子を有し、

前記共通端子にはクロック入力端子、電源端子及び接地端子を含み、

前記個別端子にはデータ端子と、前記セキュリティーコントローラの専用端子を含む、ことを特徴とするマルチファンクションカードデバイス。

38. 前記セキュリティーコントローラの専用端子としてクロック端子、データ入出力端子、リセット端子、電源端子及び接地端子を有することを特徴とする請求の範囲第37項記載のマルチファンクションカードデバイス。

39. (補正後) 配線基板に、外部接続端子と、前記外部接続端子に接続されたインターフェースコントローラと、前記インターフェースコントローラに接続されたメモリと、前記インターフェースコントローラ及び外部接続端子に接続されたセキュリティーコントローラとを有し、

前記インターフェースコントローラは外部インターフェース動作とメモリに対するメモリインターフェース動作とを制御するインターフェース制御態様として複数のインターフェース制御態様を有し、外部からの指示に従った制御態様で外部インターフェース動作とメモリインターフェース動

作を制御し、

前記セキュリティーコントローラは前記外部端子の信号状態又はインターフェースコントローラから与えられる動作コマンドに従ってセキュリティー処理を行うことを特徴とするマルチファンクションカード
5 デバイス。

領域が形成され、この電荷蓄積領域に蓄積される電荷に応じて閾値電圧が可変にされることを特徴とする請求の範囲第43項記載のマルチファンクションカードデバイス。

45. (削除)

5 46. 配線基板に、外部接続端子と、前記外部接続端子に接続されたインタフェースコントローラと、前記インタフェースコントローラと外部接続端子に接続されたセキュリティーコントローラと、前記インタフェースコントローラに接続されたメモリを有し、

10 前記外部接続端子は前記セキュリティーコントローラとインタフェースコントローラに共通の外部電源端子を有し、前記外部電源端子からセキュリティーコントローラの電源端子に至る電源経路にはインタフェースコントローラの制御によって電源供給を遮断可能な電源スイッチを有することを特徴とするマルチファンクションカードデバイス。

47. (削除)

48. (削除)

49. 配線基板、配線基板に実装された半導体チップ、及び半導体チップに接続されたアンテナを有する半導体カードデバイスであって、

半導体チップは前記アンテナを利用して非接触インタフェース可能

5 にされ、

前記配線基板は回路の接地電位が印加されるグランドパターンとして複数個に分割され且つ閉路を形成せずに接続された分割グランドパターンを有することを特徴とする半導体カードデバイス。

50. 配線基板、配線基板に実装された半導体チップ、及び半導体チップ

10 に接続されたアンテナを有する半導体カードデバイスであって、

前記アンテナは半導体チップの外側領域に配置され、半導体チップはフェライトプレート上にスタックされていることを特徴とする半導体カードデバイス。

51. 前記フェライトプレートは、フェライトチップ、塗布されたフェ

15 ライトペースト、又は貼りつけられたフェライトフィルムであることを